VenSpec-U

Venus Spectroscopy in UltraViolet

CCTP fabrication report carte DPU EQM/FM

	Function	Name	Date	Signature
Prepared by	Electronic Engineer			
Checked by	Electronics Architect			
Approved by	Project Manager			

DOCUMENT CHANGE RECORD

Issue	Revision	Section	Page	Date	Author	Changes
1	0	All	All	27/07/2026	SR, SB	Initial issue

TABLE OF CONTENTS

1 INTRODUCTION 4
1.1 OBJET DU DOCUMENT 4
2 DOCUMENTS APPLICABLES ET DE REFERENCE 4
2.1 DOCUMENTS DE RÉFÉRENCE 4
2.2 DOCUMENTS APPLICABLES 4
3 ACRONYMES 6
4 CONTEXTE 7
4.1 PRESENTATION DE L'INSTRUMENT 7
4.2 DESCRIPTION DES CARTES ÉLECTRONIQUES 8
4.3 DESCRIPTION DE LA CARTE DPU 8
5 DESCRIPTION DES TRAVAUX 10
5.1 GENERALITES, CONFIGURATION ET FOURNITURES 10
5.1.1 Format CAO 10
5.1.2 Qualification report 10
5.2 CARTES DPU 11
5.2.1 Liste des composants QM et FM 11
5.2.2 Technologie PCB 12
5.2.3 Contrainte mécanique 13
5.2.4 Approvisionnement des PCB 14
5.2.5 Report des composants 14
6 POINTS CLE / REVUES / VALIDATION 14
7 LIVRABLES 15
7.1 EQM (TRANCHE FERME) 15
7.2 FM (TO#1) 15
7.3 QUALIFICATION REPORT (TO#2) 15
8 QUALITE / ASSURANCE PRODUIT 15
9 PLANNING 16
9.1 PLANNING PREVISIONNEL DE LA TRANCHE FERME 16
9.2 PLANNING PREVISIONNEL DES TRANCHES OPTIONNELLES 16

1 Introduction

1.1 Objet du document

Dans le cadre de la mission EnVision de l'ESA, le LATMOS fournit l'instrument VenSpec-U (appelé aussi VeSUV).

Le boitier électronique principal « E-Box » comporte 2 cartes sous la responsabilité du LATMOS:

- Carte DPU
- Carte IF

L'objet du travail demandé est la réalisation de la carte DPU pour les modèles de qualification (EQM) et de vol (FM).

Tranche ferme :

WP1.1 : Réception et inspection de 2 PCB de qualité IPC Classe III (3) et des coupons associés.

WP1.2 : Câblage et assemblage de 1 carte EQM

Tranches optionnelles :

TO#1 :

WP2.1 : Réception et inspection de 3 PCB de qualité ECSS vol.

WP2.2 : Câblage et assemblage de 2 cartes FM

TO#2:

WP 3.0 : Qualification report : La qualification report des composants absents du PID du titulaire devra être proposée en options. Le cas le plus défavorable pourra être chiffré, mais les boitiers à qualifier seront définis au cas par cas selon la revue du PID avec le CNES.

Ce document décrit les travaux et fournitures demandés.

2 Documents applicables et de référence

2.1 Documents de référence

RD	Title	Ref.	Issue	Date
[RD1]	List of Acronyms	VES-LI-LAT-0225	V1R3	12/12/2025

2.2 Documents applicables

AD	Title	Ref.	Issue	Date
[AD1]	High reliability assembly for surface mount and through hole connections	ECSS-Q-ST-70-61C	C	08/04/2022

[AD2]	Design rules for printed circuit boards	ECSS-Q-ST-70-12C Rev.1	C	30/04/2025
[AD3]	Product Assurance Plan	VES-PL-LAT-0216	V2R2	19/01/2025
[AD4]	EIDA		4.1	
[AD5]	Qualification and procurement of printed circuit boards	ECSS-Q-ST-70-60C Rev.1		30/04/2025

3 Acronymes

Refer to [RD1].

4 Contexte

4.1 Présentation de l'instrument

VenSpec-U est un imageur spectral UV à double canal (un canal à basse résolution, ci-après dénommé « canal LR » : 190-380 nm ; et un canal à haute résolution, ci-après dénommé « canal HR » : 205-235 nm) conçu pour surveiller les concentrations de gaz sulfureux d'origine volcanique (SO, SO_2) au sommet des nuages ainsi que les contrastes UV grâce à l'analyse spectrale de la lumière solaire rétrodiffusée sur la face diurne de Vénus.

Il se compose de deux modules:

- Le module Obox (Optical Box), qui regroupe la partie optique de l'instrument pour les deux canaux LR et HR.
- Le module Ebox (Electrical Box), qui accueille les cartes électroniques.

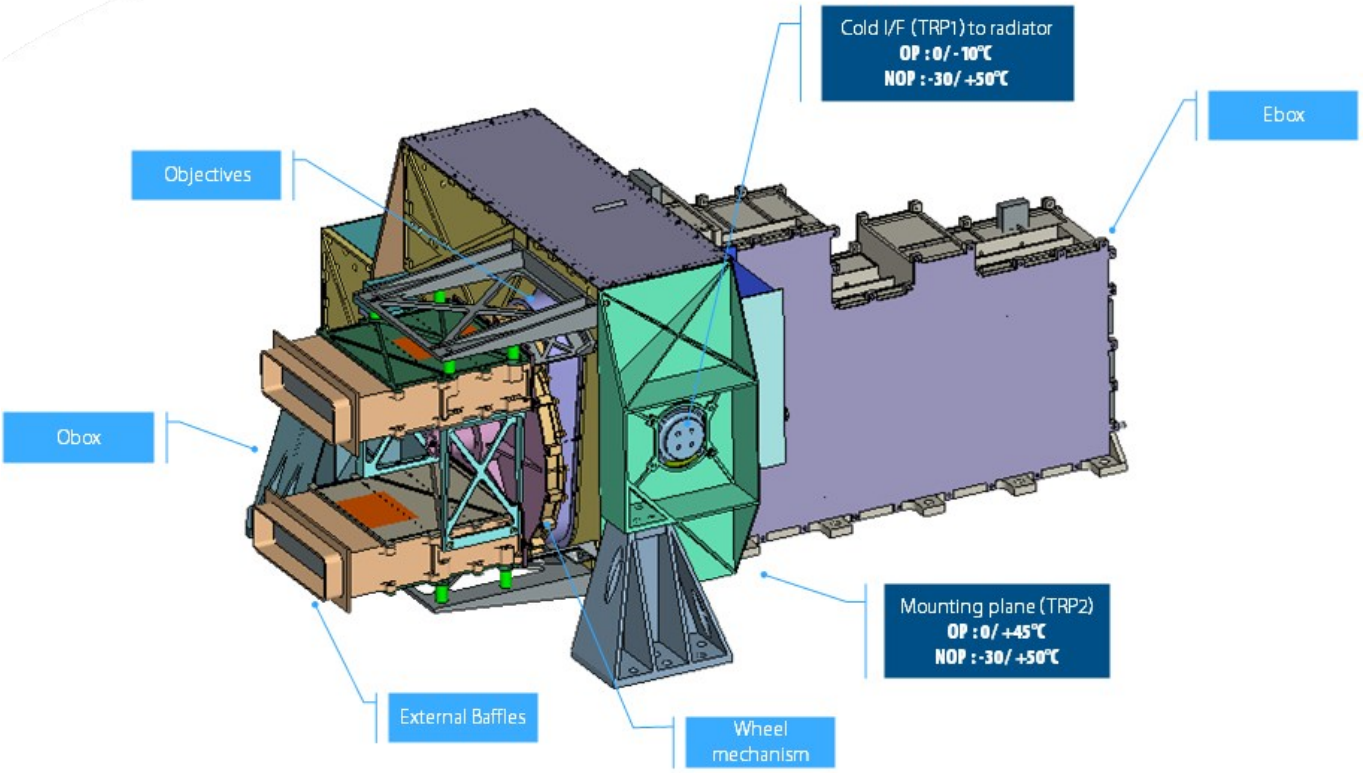


Figure 1: Ebox and Obox CAD view

4.2 Description des cartes électroniques

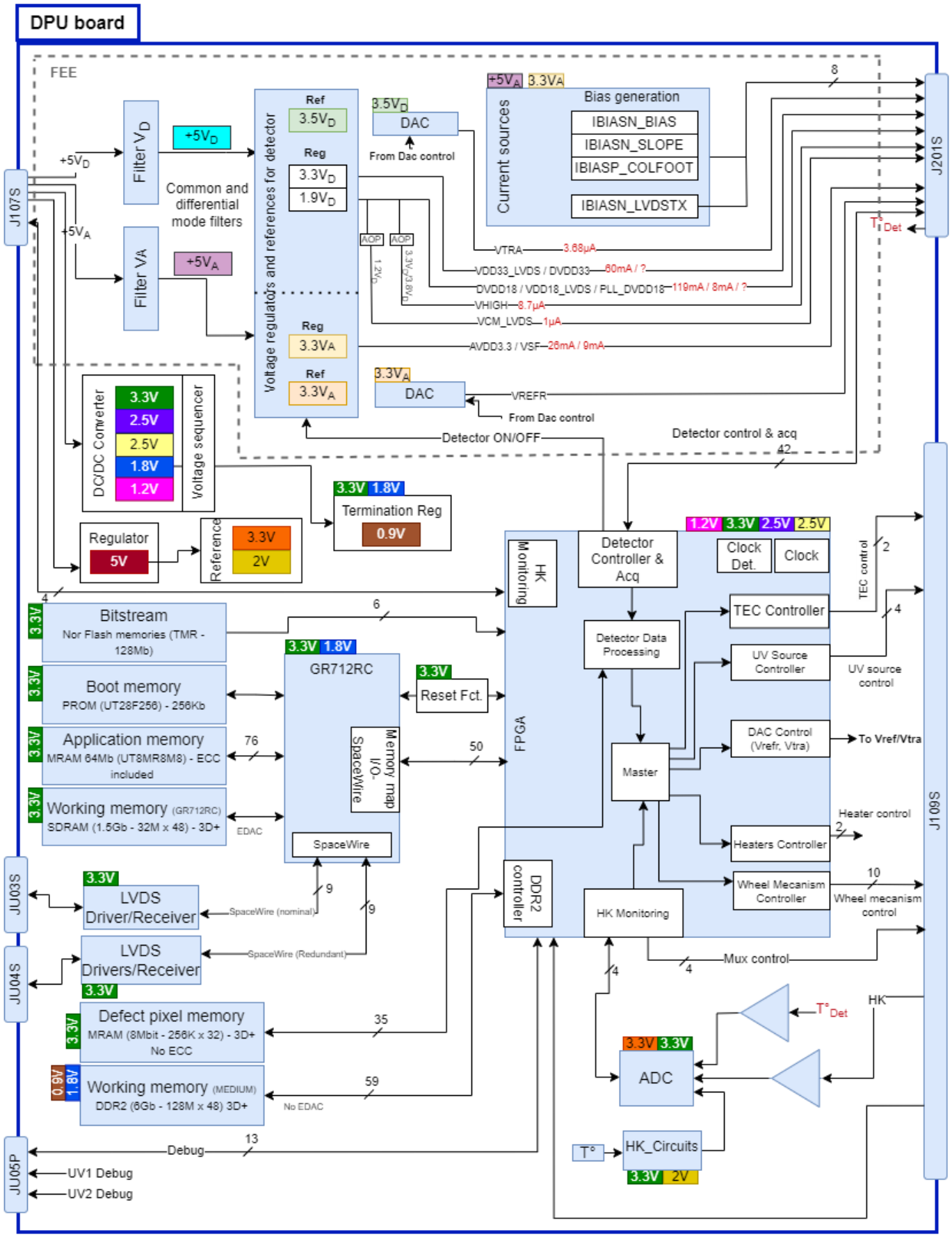
L'électronique de VenSpec-U est composée de 3 cartes :

- Une carte DPU (Data Processing Unit) en charge du contrôle, commande des différents sous-systèmes via la carte IF analogique. La carte DPU est également chargée de piloter un détecteur CMOS et de réaliser les différents traitements numériques.
- Une carte IF (Interface) en charge des interfaces électriques avec les sous-systèmes (roue à filtres, Peltier, sources UV).
- Une carte Sub-PSU qui fournit les tensions nécessaires au bon fonctionnement des carte DPU, IF et des sous-systèmes.

4.3 Description de la carte DPU

La carte DPU est conçue pour exécuter les fonctions suivantes dans le FPGA et le processeur :

- Contrôler, acquérir et traiter les données scientifiques provenant du détecteur CMOS.
- Contrôler deux DAC pour modifier la tension du détecteur.
- Contrôler deux ADC pour acquérir les HK.
- Contrôler la mémoire DDR2 pour stocker les données du détecteur pendant le traitement.
- Contrôler la mémoire MRAM qui est utilisée pour stocker les paramètres, les pixels déviants, etc.
- Transmettre les données scientifiques au processeur sur le bus de données du processeur.
- Communiquer entre le FPGA et le processeur.
- Recevoir les commandes de la CCU via la liaison de communication SpaceWire.
- Transmettre les données à la CCU via la liaison de communication SpaceWire.
- Gérer l'encapsulation des données dans des paquets.


DPU board
FEE
+5V_D
+5V_A
Filter V_D
Filter V_A
Common and differential mode filters
Voltage regulators and references for detector
Ref
Reg
3.5V_D
3.3V_D
1.9V_D
3.3V_A
DAC
From Dac control
Bias generation
Current sources
IBIASN_BIAS
IBIASN_SLOPE
IBIASP_COLFOOT
IBIASN_LVDSTX
J107S
J201S
T°Det
VTRA 3.68µA
VDD33_LVDS / DVDD33 60mA / ?
DVDD18 / VDD18_LVDS / PLL_DVDD18 119mA / 8mA / ?
VHIGH 8.7µA
VCM_LVDS 1µA
AVDD3.3 / VSF 26mA / 9mA
VREFR
Detector ON/OFF
Detector control & acq
DC/DC Converter
Voltage sequencer
3.3V
2.5V
1.8V
1.2V
Termination Reg
0.9V
Regulator
5V
Reference
2V
HK Monitoring
Detector Controller & Acq
Clock Det.
Clock
TEC Controller
TEC control
Detector Data Processing
UV Source Controller
UV source control
DAC Control (Vrefr, Vtra)
To Vref/Vtra
Master
Heaters Controller
Heater control
Wheel Mecanism Controller
Wheel mecanism control
Mux control
FPGA
Bitstream
Nor Flash memories (TMR - 128Mb)
Boot memory
PROM (UT28F256) - 256Kb
Application memory
MRAM 64Mb (UT8MR8M8) - ECC included
Working memory (GR712RC)
SDRAM (1.5Gb - 32M x 48) - 3D+
EDAC
GR712RC
Reset Fct.
Memory map I/O-SpaceWire
SpaceWire
JU03S
JU04S
LVDS Driver/Receiver
LVDS Drivers/Receiver
SpaceWire (nominal)
SpaceWire (Redundant)
DDR2 controller
HK Monitoring
Defect pixel memory
MRAM (8Mbit - 256K x 32) - 3D+
No ECC
Working memory (MEDIUM)
DDR2 (6Gb - 128M x 48) 3D+
No EDAC
ADC
T°
HK_Circuits
HK
JU05P
Debug
UV1 Debug
UV2 Debug
J109S

5 Description des travaux

5.1 Généralités, configuration et fournitures

5.1.1 Format CAO

Les fichiers de CAO fournis par le LATMOS seront au format :

- Schéma électrique de la carte DPU : Altium V25.6.2
- Plan mécanique 2D du PCB de DPU : fichier DXF et PDF
- Modèle mécanique 3D de DPU (si besoin) : fichier STEP

Les schémas électriques DPU seront fournis au format ALTIUM pour la réunion de démarrage. De légères modifications sont susceptibles d'être apportées au schéma par le LATMOS, ou par le titulaire si besoin, sans impact majeur sur la netlist ou sur la nomenclature.

5.1.2 Qualification report

Il est demandé que le titulaire soit qualifié (typiquement ASF CNES et qualification niveaux ECSS au PID) pour le report de tous les composants de la carte DPU sur les PCB en polyimide.

Et notamment la qualification report du FPGA de NanoeXplore NG Medium en boitier CGA625 doit être démontrée aux niveaux ECSS.

Les niveaux de qualifications doivent être au moins égaux à ceux spécifiés dans [AD1].

Le nombre de cycles thermiques pourra éventuellement être discuté au cas par cas avec le LATMOS.

Les boitiers qui ne seraient pas présents dans le PID du titulaire devront être listés avec, le cas échéant :

- les niveaux de qualification actuels
- la campagne de qualification en cours et les niveaux associés
- toute information utile (pad thermique, …)

La qualification report des composants absents du PID du titulaire devra être proposée en option (TO#2).

5.2 Cartes DPU

5.2.1 Liste des composants QM et FM

La liste des composants QM et FM est donnée à titre indicatif dans le tableau ci-dessous. Des modifications mineures pourront être apportées par le LATMOS. La liste définitive sera fournie lors de la réunion de démarrage.

Il est prévu que l'intégralité des composants QM et FM soit fournie par le LATMOS au plus tard à l'issue de la revue DPU#2.

Part type	Part Number	Package	Qty
JANS1N5615US	JANS1N5615US		**1**
JANS1N4620UR-1	JANS1N4620UR-1	DO-213AA	**1**
JANS1N6642US	JANS1N6642US	D-5D	**1**
	MPCI 10 010 000		**9**
	MPCI 12 1000 000		**1**
AE528PJB333MSZ			**8**
CMC15 2M0 2WR			**2**
CMC22 1M6 2WR			**1**
JANSR2N7616UB		UB	**4**
2N2222ARUBT	5201-002-12R	UB	**3**
3DPM0289-1-IS	3DPM0289-1-IS	GW-16	**5**
ISL70321SEH	5962L1722502VXC	CDFP18	**1**
RHFL4913KPA-01V		FP-16	**8**
RHF1009AK01V	5962F1422201VXC	Flat-10	**3**
RHR61K01V	5962F0620202VYC	FP-8	**5**
RHRDAC121K01V	5962R2120801VXC	FP-10	**2**
NX1H35AS	5962-9212401MPA	CLGA-625	**1**
3DMR8M08VS8666SS1	3DMR8M08VS8666SS1	SOP-44	**1**
RHR64K01V	5962R1620501VXC	FP-14	**2**
ISL71090SEHVF12	5962R1321101VXC	FP-8	**1**
ISL71091SEHVF20	5962R1420801VXC	FP-8	**1**
MAX634MJA-883B	5962-9212401MPA	CDIP-8	**1**
RHFAD128K01V	5962F1820401VXC	B0RR FLAT16 QML FP	**2**

ISL706CRHVF		FP-8	**2**
3DFS128M01VS2728MS	3DFS128M01VS2728MS	SOP-20	**1**
UT54ACS162245SLV	5962H0254301QXC	FP-48	**3**
UT8MR8M8-64	5962H1320704QXC	FP-64	**1**
RHFLVDSR2D2K01V	5962F0620202VYC	CFP-18	**3**
3DSD1G48VB2820SS	3DSD1G48VB2820SS	BGA-215	**1**
HS9-26CLV31RH	5962F9666303VXC	FP-16	**1**
HS9-26CLV32RH	5962F9568903VXC	FP-16	**1**
3D2D6G48UB3687SS	3D2D6G48UB3687SS	BGA-143	**1**
3DPM0318-1SS	3DPM0318-1SS	BGA-127	**1**
GR712RC-MS-CQ240	GR712RC-MS-CQ240	CQ-240	**1**
RK135JL2C1FM100M000000	350300106R100M000000HC	JL-2 (LCC-4)	**1**
RK135JL2C1FM50M000000	350300106R50M000000HC	JL-2 (LCC-4)	**1**
RK135JL2C1FM25M000000	350300106R25M000000HC	JL-2 (LCC-4)	**1**
RK135JL2C1FM26M000000	350300106R26M000000HC	JL-2 (LCC-4)	**1**

5.2.2 Technologie PCB

Description :

- Circuit rigide séquentiel à trous borgnes
- Epaisseur totale 2mm +/-10%
- Matériau : Polyimide pour le modèle EM, sera confirmé à la réunion de démarrage
- Finition Sn/Pb refondue
- Pas de sérigraphie
- Pas de vernis épargne

L'empilage et les séquences de perçage proposés sont les suivants :

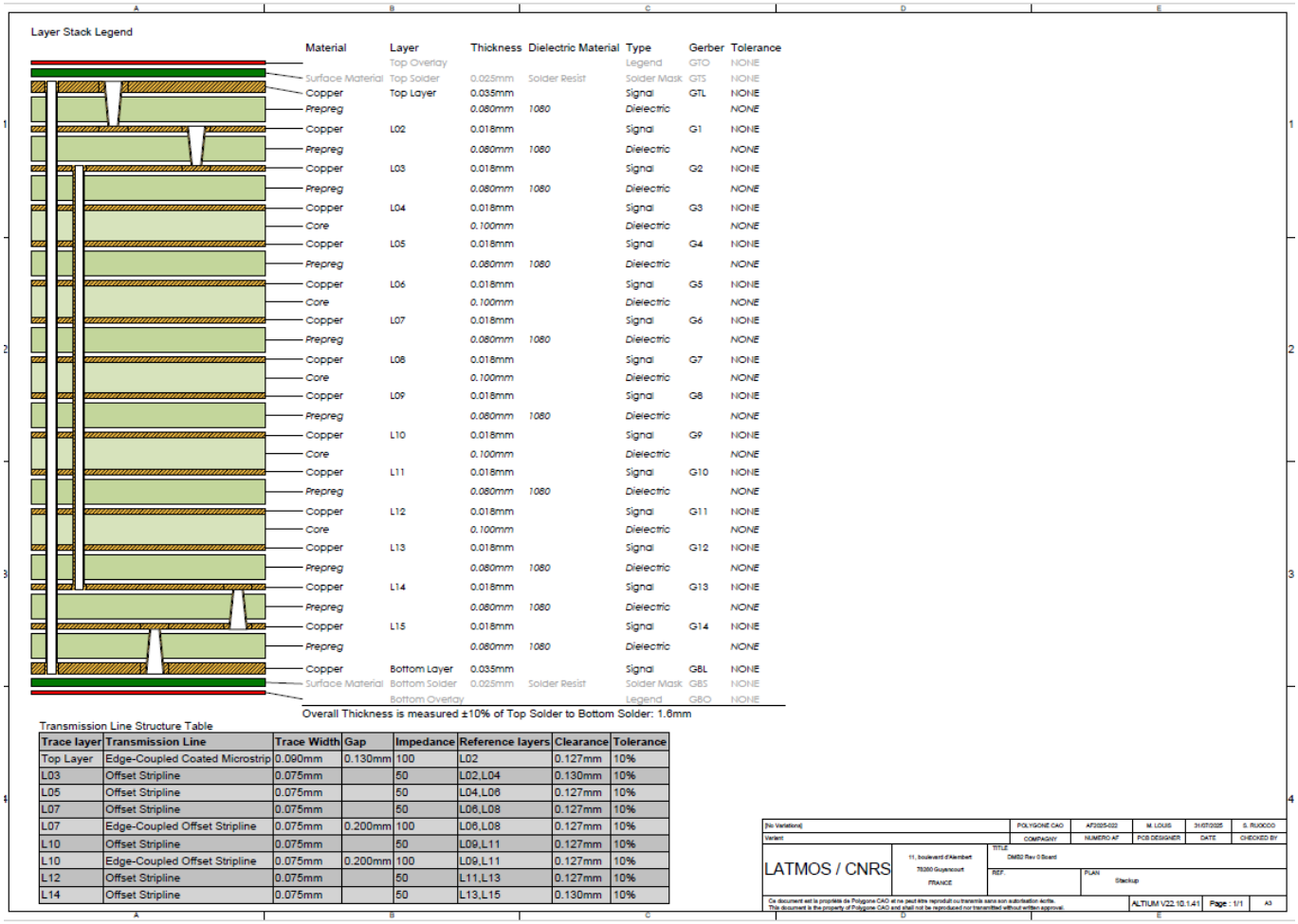


Figure 2 : Empilage PCB pour la carte DPU

5.2.3 Contrainte mécanique

Un boitier sera fourni pour permettre de positionner la carte et de réaliser le câblage des connecteurs pigtail avec la bonne longueur.

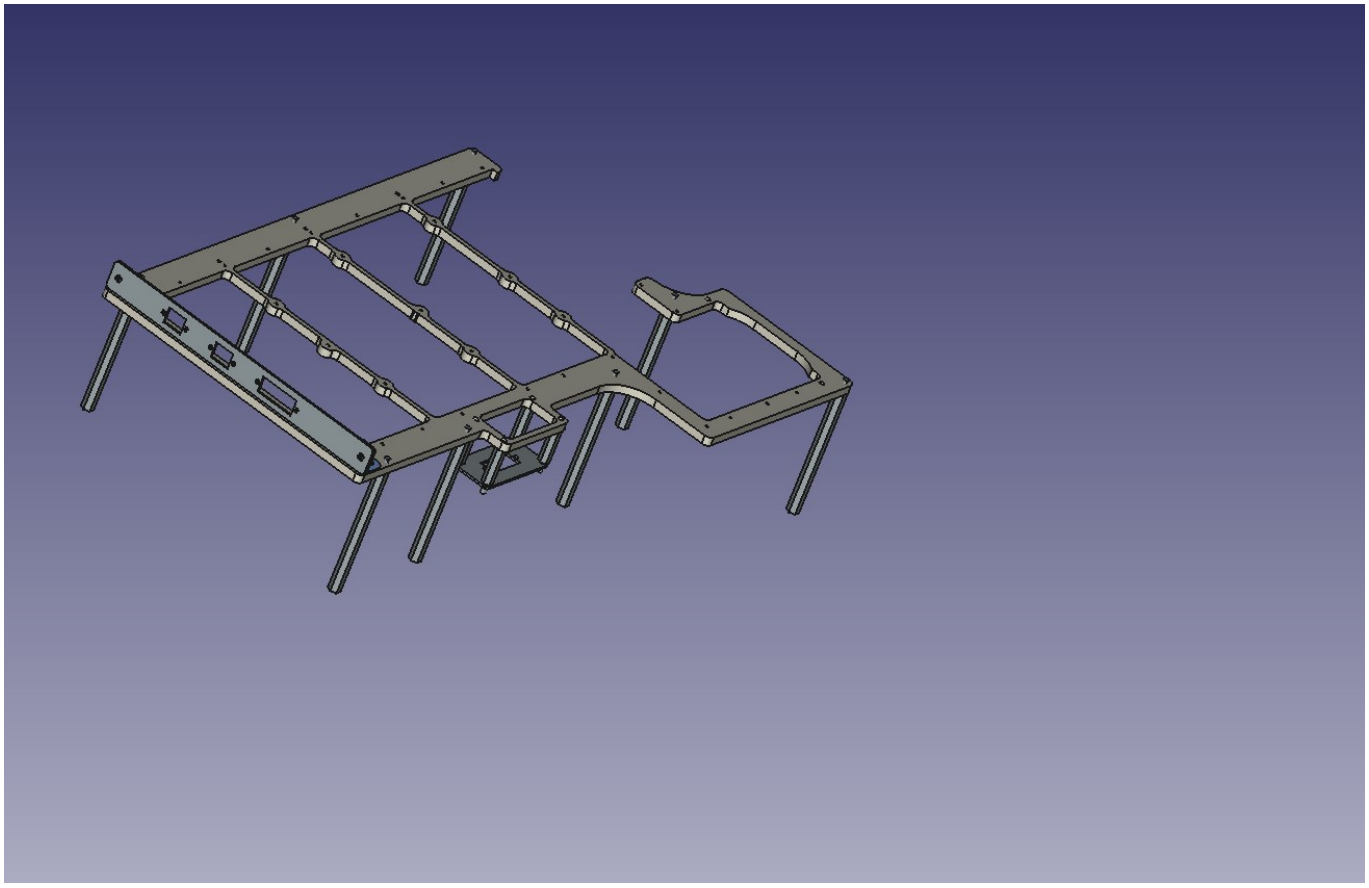


Figure 3 : Type de structure mécanique fournie

Les fichiers CAO mécaniques au format DXF ou STEP seront fournis pour la réunion de démarrage.

5.2.4 Approvisionnement des PCB

Les PCB et les coupons associés seront fournis par le LATMOS.

5.2.5 Report des composants

Les composants spatiaux (fournis par le LATMOS) devront être reportés selon des moyens qualifiés spatial et par des opérateurs qualifiés spatial (ASF CNES, PID).

6 Points clé / Revues / Validation

Les revues DPU#2, DPU#3 consisteront en l'analyse des fichiers sources (ou fichiers visualisables avec un viewer) par le LATMOS. Ces revues ne pourront en aucun cas se faire par l'analyse de fichiers PDF. L'envoi des fichiers se fera par courrier électronique, ou par ftp, ou par n'importe quel moyen d'envoi de fichier par internet.

Les commentaires et indications de corrections éventuelles se feront par mail ou par téléphone ou sur site suivant la complexité. Ils seront reportés par écrit dans le compte-rendu de la revue.

La validation de la revue fera l'objet d'un compte-rendu signé par les deux parties.

DPU #1	KO de démarrage DPU
DPU #2	Revue d'inspection des PCB avant report des composants
DPU #3	Revue de livraison de la carte DPU

7 Livrables

7.1 EQM (tranche ferme)

Pour la DPU, la livraison EQM consistera en :

- 1 carte DPU EQM complète équipée
- 1 PCB DPU EQM nu non câblé
- Le dossier de fabrication complet

7.2 FM (TO#1)

Pour la DPU, la livraison FM consistera en :

- 2 cartes DPU FM complètes équipées
- 1 PCB DPU FM nu non câblé
- Le dossier de fabrication complet

7.3 Qualification report (TO#2)

Les livrables de l'option de qualification report sont :

- Un rapport complet et détaillé de qualification pour chaque type de boitier qualifié

8 Qualité / Assurance produit

Le titulaire devra répondre aux exigences de la norme EN9100 / ISO9001.

Toutes les prestations seront documentées, garantissant ainsi une uniformité dans leur réalisation. Un dossier qualité sera régulièrement audité et mis à jour. Il couvrira entre autres les aspects suivants :

- justificatifs de système de management de la Qualité de l'entreprise
- interface avec le client et rédaction de compte-rendu de réunions et point-clés
- gestion des non-conformités internes, incluant les non-conformités clients dans le cadre des prestations
- revue de contrat (permettant de s'assurer que la réponse sera conforme aux exigences clients et que les risques auront été identifiés)
- gestion de la configuration (et des modifications)

Les référentiels applicables doivent répondre aux normes des agences ESA, ou CNES.

9 Planning

9.1 Planning prévisionnel de la tranche ferme

La majeure partie des composants qui seront fournis par le LATMOS seront envoyés au fournisseur avant la phase de report.

Calendrier prévisionnel EQM (tranche ferme), à titre indicatif :

- T0 prévisionnel = 16/11/2026
- Livraison = T0 + 9 mois

Afin de couvrir un potentiel décalage du planning global projet, la durée du marché devra s'étendre pendant 4 ans.

9.2 Planning prévisionnel des tranches optionnelles

Les T0 prévisionnels des tranches optionnelles sont donnés à titre indicatif. Les tranches optionnelles pourront être affermies jusqu'à 1 an après notification du marché.

TO#1 :

Calendrier prévisionnel FM (tranche optionnelle #1), à titre indicatif :

- T0 prévisionnel = 14/09/2027
- Livraison = T0 + 7 mois

TO#2 :

Calendrier prévisionnel qualification report (tranche optionnelle #2), à titre indicatif :

- T0 prévisionnel = 16/11/2026
- Livraison = T0 + 12 mois